

Japanese Patent Laid-open Publication No. SHO 59-41943 A

Publication date : March 8, 1984

Applicant : Sharp K. K.

Title : DATA TRANSMISSION CONTROLLING APPARATUS OF LOCAL
5 NETWORK SYSTEM

2. Scope of Claims

(1) A data transmission controlling apparatus of a local
network system, which is connected between a main system for
10 processing a content of the transmission/reception data and
a data transmission line composing a local network comprising:

reception controlling means for determining a packet
format of the data, which is received from the data transmission
line, and forming a response packet on the basis of this
15 determination result;

transmission controlling means for transmitting the
transmission data on the transmission line in a predetermined
packet format and transmitting said response packet on the
transmission line in a predetermined packet format during
20 period of time after the data packet was transmitted;

transmission/reception data transfer controlling means
for controlling the transfer of the transmission/reception
data between said reception controlling means, said
transmission controlling means and said main system; and
25 a collision prohibition circuit for prohibiting a new

BEST AVAILABLE COPY

data packet transmission until carrier signals are not generated from a carrier signal detecting point on said data transmission line and the longer time passes that said predetermined time.

5

In summary, the present invention is provided with the reception controlling means for determining a packet format of the data, which is received from the data transmission line, and forming a response packet on the basis of this determination
10 result, the transmission controlling means for transmitting the transmission data on the transmission line in a predetermined packet format and transmitting the foregoing response packet on the transmission line in a predetermined packet format during period of time after the data packet was
15 received and the transmission/reception data transfer controlling means for controlling the transfer of the transmission/reception data between the foregoing reception controlling means, the foregoing transmission controlling means and the foregoing main system, so that the access to
20 the transmission line, the generation of the packet, the buffering of the data and the control of the retransmission or the like are performed not on an upper level (application program) but on a level of an interface (data transmission controlling apparatus) for connecting the main system and the
25 transmission line. Alternatively, the foregoing reception

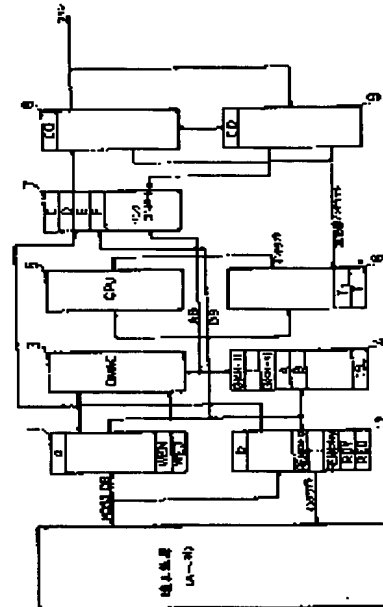
controlling circuit of each terminal is provided with a collision prohibition circuit for prohibiting a new data packet transmission until carrier signals are not generated from a carrier signal detecting point on the foregoing data transmission line and the longer time passes than the foregoing predetermined time, so that the data is not capable of being transmitted when the packet transmission prohibition signals are generated from the foregoing collision prohibition circuit.

(11)Publication number : 59-041943
(43)Date of publication of application : 08.03.1984

H04L 11/00
H04L 13/00

(71)Applicant : SHARP CORP
(72)Inventor : MATSUI YOSHIMITSU
HORIGUCHI MICHYUKI
OHASHI MASAKAZU

CONSTITUTION: The collision of data packets is caused when two or more terminals try to transmit data packets simultaneously in the common channel system. For the purpose of resolving this problem, the back-off processing for transmitting data packets again after a certain time from the detection of collision is performed. When collision is detected by a collision detecting circuit CO, the transmission of data packets is stopped, and a line is raised to the high level to facilitate the detection of collision. Next, the rise of a signal CD2 is detected, and a prescribed back-off timer value is read out from a random number table TBL of a memory 4 at the timing of the fall and is set to a timer T of a control circuit 6. After the set prescribed time elapses, a CPU5 detects the signal CD2, and the transmission operation is repeated if the access is possible.



LEGAL STATUS

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—41943

⑬ Int. Cl.³
H 04 L 11/00
13/00

識別記号

庁内整理番号
6866—5K
E 7240—5K

⑭ 公開 昭和59年(1984)3月8日

発明の数 1
審査請求 未請求

(全 14 頁)

⑮ ローカルネットワークシステムのデータ伝送
制御装置

大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑯ 特 願 昭57—152980

⑰ 出 願 昭57(1982)8月31日

⑱ 発 明 者 松井良光
大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑲ 発 明 者 大橋正和
大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑳ 出 願 人 シャープ株式会社
大阪市阿倍野区長池町22番22号

㉑ 発 明 者 堀口道行

㉒ 代 理 人 弁理士 小森久夫

明 細 書

1. 発明の名称

ローカルネットワークシステムのデータ伝送制
御装置

2. 特許請求の範囲

(1) 送受信データ内容処理するメインシステムとローカルネットワークを構成するデータ伝送ライン間に接続される装置であって、データ伝送ラインから受信したデータのバケットフォーマットを判定し、その判定結果に基づいて応答バケットを作成する受信制御手段と、送信データを所定のバケットフォーマットにて伝送ライン上に送出するとともに、前記応答バケットをデータバケット送信後一定時間内に所定のバケットフォーマットにて伝送ライン上に送出する送信制御手段と、前記受信制御手段および送信制御手段と前記メインシステムとの間で送受信データの転送を制御する送受信データ転送制御手段と、前記データ伝送ライン上のキャリア信号検出時点からキャリア信号が発生しなくなって前記一定時間より長い所定時間が

経過するまで新たなデータバケット送信を禁止する衝突防止回路と、を備えてなる、ローカルネットワークシステムのデータ伝送制御装置。

3. 発明の詳細な説明

この発明は、比較的狭い地域に分散したキャッシュレジスタ等のコンピュータ機器を相互接続するローカルネットワークシステムにおいて、データのバッファリング、バケットの組立／分解、ネットワークアクセスの制御等を行うデータ伝送制御装置に関する。

一般にローカルネットワークシステムにおいては、データの伝送制御を次の手順によって行う。

まず伝送ラインに接続された各端末がデータバケットの先頭に記述されている目的端末アドレスを読み、自己のアドレスと一致すれば引き続くデータを読み込む。CRCチェックの結果、誤りがあればACKバケットを送信端末に送る。誤りがあった場合は受信データを捨てる。送信端末は、タイマで送信後の時間を計測し、一定時間内に

A C Kがない場合は再送する。また、さらに厳密な伝送制御をおこなう場合には、A C Kパケットを受信したときに送信端末に対してR A C Kパケットを送信する。

以上のデータ伝送制御において、従来はこの制御の実行を各端末に用意されているアプリケーションプログラムによって行い、端末のメインシステムと伝送ラインとを接続するコントローラは、単にパケットの組立やデータのレベル変換（電圧レベルと論理レベルの変換）を行うだけであった。しかしながら、アプリケーションプログラムが必要な分だけメインシステムの負荷が増大するため、タスク処理を行う際の効率が低下するとともに、階層的に上位にあるアプリケーションプログラムでデータの再送やパケットの生成を行うために、エラー回復処理や衝突防止を効率的に且つ迅速に行うことが出来ず、十分な信頼性と高速性を得ることが出来なかった。

この発明の目的は、メインシステム等のホスト側の負荷を軽減し、しかも応答が速やかに行われ

且つパケットの伝送制御が効率的に行われるとともに、パケットの衝突を簡単に防止することの出来る、ローカルネットワークシステムのデータ伝送制御装置を提供することにある。

この発明は、要約すれば、

データ伝送ラインから受信したデータのパケットフォーマットを判定し、その判定結果に基づいて応答パケットを作成する受信制御手段と、送信データを所定のパケットフォーマットにて伝送ライン上に送出するとともに、前記応答パケットをデータパケット受信後一定時間内に所定のパケットフォーマットにて伝送ライン上に送出する送信制御手段と、前記受信制御手段および送信制御手段とメインシステムとの間で送受信データの転送を制御する送受信データ転送制御手段とを設けて、伝送ラインのアクセス、パケットの生成、データのバッファリング、再送制御等を上位レベル（アプリケーションプログラム）ではなく、メインシステムと伝送ラインとを接続するインターフェイス（データ伝送制御装置）のレベルで行うようにし、

また、データ伝送ライン上のキャリア信号検出時点からキャリア信号が発生しなくなって前記一定時間より長い所定時間が経過するまで新たなデータパケット送信を禁止する衝突防止回路を各端末個々の前記受信制御回路に設けて、衝突防止回路からパケット送信禁止信号が発生しているときはデータパケットの送信が出来ないようにしたものである。

この発明によれば、データ伝送に関する制御をデータ伝送制御装置で直接行うことになるため、伝送制御を高速に実行出来るとともに、ホスト側では伝送制御に関するアプリケーションが必要で無くなる。また、パケットの衝突が簡単に防止出来るために高速通信が可能になる。さらに応答パケットの送信およびエラー回復処理を、衝突防止回路からの信号が発生している間に行うことが出来るため、データパケットと応答パケットとの衝突も防止することが出来、全体として通信の信頼性を向上することが出来る。

以下この発明の実施例を図面を参照して説明す

る。

第1図はこの発明を実施するローカルネットワークシステムのブロック構成図である。同図において、メインシステムである端末装置A～Nは、この発明の実施例の伝送インターフェイスI/Fを介して同軸ケーブルから成るデータ伝送ラインLに接続され、各端末相互間で任意に各種データの送受信が行なえるようになっている。第2図は上記伝送インターフェイスI/Fのブロック構成図、第3図はさらにその詳細なブロック構成図である。

伝送インターフェイスI/Fは、送信制御回路10、受信制御回路11、および送受信データ転送制御回路12から構成される。送信制御回路10は、送信データまたは応答パケットを所定のパケットフォーマットにて伝送ライン上に送出し、受信制御回路11は、伝送ラインLから受信したデータのパケットフォーマットを判定し、その判定結果に基づいて応答パケットを作成する。また、送受信データ転送制御回路12は、受信制御回路1

1. 送信制御回路10と端末装置との間で送受信データの転送を制御する。

第3図において、上記送受信データ転送制御回路12は、送信データ転送制御回路1と受信データ転送制御回路2とで構成される。送信データ転送制御回路1は、各種データを送信する場合に端末装置側から送られてきたデータを1バイト毎に一時記憶するレジスタαと、同レジスタαへの書き込みを許可するときにセットするフラグWENと、端末装置が総ての送信データを転送したときにセットされるフラグWEDとを有する。また、受信データ転送制御回路2は、各種データを受信する場合にインターフェイス側の受信データを1バイト毎に端末装置に転送するための取込みレジスタβと、受信データがあることをチャンネル毎に端末装置に知らせるためのフラグRBNと、端末装置が総ての受信データを取り込んだことをチャンネル毎にインターフェイス側に知らせるためのフラグREDと、および端末装置が受信準備完了状態にあることをインターフェイス側に知らせるフラ

グRDYとを有する。

上記送信制御回路10、および受信制御回路11は、チャンネル毎の送受信データおよびインターフェイス制御プログラムを記憶するメモリ4、送受信段階でのタイマー、インタラプト機能を制御する制御回路6、メモリ4と上記送受信データ転送制御回路1、2との間でデータをDMA転送するDMAC3、送受信動作を制御し、送受信バッファ用C、Fおよび送受信シフトレジスタD、Bを有するリンクコントローラ7、送信時に送信データを変調してライン上へ送出するとともに複数の端末から同時にアクセス要求があったかどうかを検出する衝突検出回路を含むライン制御回路8、ライン上の信号を受信し、その信号を復調してリンクコントローラ7へ転送するライン制御回路9、およびインターフェイス全体をメモリ4に記憶されている制御プログラムに従って制御するサブCPU5から構成される。

第4図は上記ライン制御回路8に設けられる衝突検出回路の回路図である。同図のように、変調

後の信号と復調前段の信号とを、イクスクループOR回路81に与え、その出力をフリップフロップ82のセット信号にしている。このようにすることにより、送信データと受信データとが異なるとき、すなわち衝突時において衝突検出信号COが得られる。

第5図は上記ライン制御回路9に設けられるキャリア検出回路の回路図である。また第6図は同キャリア検出回路のタイミングチャートである。この実施例では、ライン上にデータの流れることを示すキャリア信号CD1と一定時間キャリア信号CD1がないことを示す信号CD2を得るようにしている。このキャリア検出回路は、本発明の構成要素である衝突防止回路に相当し、後述のように信号CD2によってデータパケットの衝突が防止される。図において、ラインより受けた信号からレシーブクロックを復調回路90によって作成し、バイナリーカウンタ91およびラッチ回路92へ入力して、信号CD1とCD2を得ている。第6図に示すように、レシーブクロック

が無くなるとバイナリーカウンタ91のCL(クリアー)端子が解除され、カウントが基本クロックφにより進んで搬送波のミラーイメージ信号であるキャリア信号CD1が得られる。さらにカウントが進むと、クロックφの周期によりあらかじめ設定された処理時間tを加えた信号CD2が得られる。

各端末は、この信号CD1と信号CD2を個々に検出し、図示しない回路によって、信号CD2が「ロー」(論理0)であるときにだけデータパケットを送出出来、ACKパケットまたはRACKパケットは信号CD1が「ロー」(論理0)であるときにだけ送出出来るように制御する。このようにして信号CD1、CD2をチェックしながら送受信制御することにより、データパケット送出後のACK、およびRACKパケット送出に関して他の端末からのデータパケットとの衝突が防止される。第7図はライン上の信号と上記信号CD1、CD2との関係を示している。図において時間tはライン上にキャリア信号がない一定時間

を表す。この時間は少なくとも応答パケット再送許可時間よりも長く設定されていて、応答パケットがこの時間内に送出されなければ、ラインの占有は解除され、他の端末からの新たなアクセスが許可される。

第8図はこのローカルネットワークでの基本的な伝送手順を示す。同図(A)は送信端末と受信端末がともに正常な状態にある場合の手順である。まず、送信端末からフラグ、アドレス等のヘッダ部を備えたデータパケットを相手先へ送信する。このデータパケットが正常に受信されるとデータパケット受信端末はACKパケットを送信する。ACKパケットを受信したデータパケット送信端末は、ACKパケットに対する応答パケット(RACKパケット)を送信する。データパケット送信に対して、受信端末がデータパケットを受け入れる準備がない場合は同図(B)のように、受信端末がNRDYパケットを送信して終了する。また、送信されてきたデータパケットのチャンネルに対応する受信バッファが塞がっている場合は

、同図(C)に示すようにバッファフルのステートメントを付けたNRDYパケットを送信して終了する。

第9図はパケットフォーマットを示す図である。このパケットは、データをフラグ(リーディングフラグ)とフラグ(トレーリングフラグ)で区切るフォーマットで構成される。両方のフラグコードは7B(ヘキサデシマル)である。ディスティネーションアドレスDAは受信局を指定する。ソースアドレスSAは送信局を指定する。データタイプTYPEは転送フレームの種類を指定する。その種類はデータ、ACK、RACK、NRDYの4種類である。チャンネル番号CH、NOはパケットのチャンネル種別を指定する。回線ステータスDLSはNRDYパケット送信時のステートメントを記述する。そのステートメントには、受信不可と受信バッファフルとがある。バイトカウンタBCLとBCHはデータのバイト数を指定する。データフィールドDATAは転送するデータをセットする。このデータフィールドDATAは

、データパケットのみに存在する。CRCはエラー検出用コードを与える。

次に第3図に示すインターフェイスの動作を、第10図～第11図を参照して説明する。

(1) 送信動作

第10図(A)～(C)は、データの送信動作を示すフローチャートである。

今、仮に端末装置Aから端末装置Nに対して特定のデータを送信するものとする。

まず、ステップn1(以下ステップn1を単にn1という)で、端末装置Aは送信データ転送制御回路1の書き込みレジスタaに対して1バイトのデータを書き込むとともに、フラグWENをセットする。この時、端末装置Aからは送信データ長(バイト数)と、データをどのチャンネルで取り扱うかを指定するチャンネル情報CHnとが上記データとともに送られて所定のエリアにセットされる。

これらのデータを受信した転送制御回路1は、送信データのDMA転送チャンネルであるDRQ3

チャンネル(インターフェイス内でデータ転送に用いるチャンネル)を選択し、DMAC3に対してDMA転送を指示する(n2)。DMAC3はその指示を受けると、メモリ4の転送先アドレスを設定し(n3)、そのアドレスにある送信バッファAにレジスタaのデータを転送する(n4)。1バイトの転送が終了すると、フラグWENをリセットする(n5)。端末装置Aは上記フラグWENを監視していて、リセットされるのを知ると(n21)、n20へ戻って次の1バイトのデータをレジスタaに送る。こうして、端末装置AではフラグWENを監視し、そのフラグがリセットされる毎に1バイトのデータをレジスタaに書き込む一方、インターフェイス側では、DMACによって、レジスタaのデータを送信バッファAに順次DMA転送する。総てのデータの転送を終結すると、端末装置AはフラグWEDをセットしに行く(n22)。このフラグWEDがセットされると、制御回路1は、n7、n8で指定バイト数の確認チェックと送信コマンドのチェックを行い、

正しいときn9へ進む。DMAC3は、n9、n10でバッファAからバッファBへのデータのDMA転送を実行する。転送が終了すれば、送信バッファが空き状態であることを示すためにフラグWEDをリセットする(n11)。端末装置Aは、フラグWEDがリセット状態であることを知ると、次に送信すべきデータがある場合に、上記と同じようにして送信データをバッファAに転送する。

一方、上記のようにして送信バッファBに送信データが準備されると、インターフェイスの動きを制御するCPU5は送信指示を行い(n30)、リンクコントローラ7を送信レディ状態に設定する(n31)。このときリンクコントローラ7は、キャリア検出回路CDで得た信号CD2をチェックし、「ロー」であれば直ちにライン制御回路8を介して、パケットの最初のデータであるリーディングフラグFをライン上に送出する(n32)。続いてCPU5はDMAC3にメモリ4のバッファBの先頭アドレスとデータのバイト数を

設定し(n33、n34)、バッファBからリンクコントローラ7へのデータ転送を指示する。この間リンクコントローラ7は、上記のリーディングフラグFを送出したままであるが、n34を終えると同フラグFの送出を停止する(n35)。次に、データ転送先であるリンクコントローラ7の送信用バッファCが空き状態で(n36)、且つリンクコントローラ7よりDMAC3に対してバッファCへのデータ転送可信号が送出されると(n37)、n38で1バイト分のデータがバッファBからバッファCへ転送される。リンクコントローラ7はさらにバッファCへの転送データをシフトレジスタDに転送し、1バイト分、シフトレジスタDへ転送すると(n40)、再びn37へ戻ってDMA転送を実行するとともに、シフトレジスタDのデータをライン制御回路8に送って、変調後ラインへ送出する(n41~n44)。後述するように、以上の動作が二つ以上の端末で同時に行われていた場合は、少なくともデータのうちソースアドレスを送出した時に衝突が発生す

るが、この衝突が衝突検出回路COで検出されたときはn44からn60へ進んで送信を禁止する。今、衝突がないものとする、リンクコントローラ7は順次バッファCからシフトレジスタDへの転送を行い、前述のようにしてバッファCへDMA転送されるデータを順次ライン制御回路8へ送る。この動作(n37~n45)を繰り返して行き、指定されたデータ長の送出が完了するとDMAC3は内蔵するバイトカウンタがカウントアップすることにより、リンクコントローラ7へフレーム送出完了を告げる(n46)。これを受けたリンクコントローラ7は、CRCを付け、1フレームのデータ送出を完了する。そして、リンクコントローラ7はCPU5に対し、1フレームのデータ送信が完了したことを示すインターラプト信号を送り(n47)、CPU5はリンクコントローラ7を介して、ライン制御回路8にトレーリングフラグFの送出を指示する(n48)。トレーリングフラグFは、CPU5が送信完了処理を行い(n49)、受信準備処理を行う(n50)

まで継続して送出し、これらの処理が完了した時点でフラグ送出を停止するとともに(n51)、インターフェイスを受信モードに設定する(n52)。

次にn44において、データパケットが衝突した場合の動作を説明する。

データパケットの衝突は、各端末によるアクセスが平等である共通チャネル方式において、同時に二つ以上の端末が送信しようとするときに生じる。信号CD2によってアクセスタイミングが完全に異なる場合の衝突は防止されるが、相互に離れた端末間では伝播遅延が大きい為、他の端末の送信を検出するまで時間がかかる。その結果、衝突が起こりやすくなる。一般に、共通チャネル方式を採用したローカルネットワークシステムでは、上記の問題を解決するために、衝突検出後一定時間を持って再送するようにしている。この処理をバックオフ処理という。n60以下はこのバックオフ処理を行う手順である。

衝突が衝突検出回路COで検出されると、デー

タケットを送信した端末はすべて送信を停止する(n 6 0)。次に他の端末が衝突が発生したことを容易に検出できるようにするためラインを「ハイ」に持ち上げる(n 6 1)。続いて信号C D 2の立ち下がりを検出し(n 6 2)、その立ち下がりタイミングでメモリ4に設けてある乱数テーブルT B Lから所定のバックオフタイマー値を読みだし(n 6 3)、制御回路6のタイマーTにその値を設定する(n 6 4)。続いてこのようにしてセットした所定時間が経過すれば(n 6 5)、CPU 5は再度信号C D 2の状態を検出し、そのレベルが「ロー」であってアクセス可能なときであれば、n 3 0へ戻って上述した送信動作を繰り返す。信号C D 2のレベルが「ハイ」であってライン使用が許可されない状態であれば、n 6 7へ進んで信号C D 2が立ち下がるタイミングで再びバックオフタイマーを起動して(n 6 4)、タイマー経過時点が信号C D 2のオフ状態になるときを待つ。

第12図はA、B、C端末がほぼ同時(伝播遅

延等を原因に若干の誤差がある)にアクセスしようとして衝突が生じたときの動作を示す。A、B、C各端末が図示するように衝突を検出すると、直ちに送信を停止して、信号C D 2の立ち下がりタイミングで、それぞれの端末で乱数テーブルで発生させたバックオフタイマー値 t_1 、 t_2 、 t_3 をスタートする。時間 t_1 を経過した時点でA端末は、信号C D 2の状態を検出する。このときB端末およびC端末はタイマー値 t_2 、 t_3 が経過していないので送信をすることが出来ない。したがってその他の端末からのアクセスがない限り、信号C D 2はオフ状態にあるためA端末からの再送が可能になる。この例ではA端末からB端末に対してデータケットを送信するケースを示している。衝突があったため送信出来なかった他のB端末およびC端末については、A端末の送信が成功した後に再送が試みられる。この方法は上記と同様に行う。すなわち、信号C D 2の立ち下がりタイミングでタイマー値 t_2 、 t_3 をスタートし、B端末は時間 t_2 が経過した時点で信号C D

2の状態をチェックして、オフであれば再送をする。また、C端末は時間 t_3 が経過した時点で信号C D 2をチェックし、オフであれば再送する。こうしてバックオフ処理をしながら衝突した端末からの送信の順番を整理していく。

以上のように、この実施例ではバックオフタイマーの起動時点信号C D 2の立ち下がりタイミングに設定し、端末の種類に無関係に同一のタイミングでスタートするようにしている。このため、再び衝突が生じる確率を小さく出来、バックオフタイマーの精度を向上出来る利点がある。なお、n 6 4でセットされるバックオフタイマー値は、新たな衝突が生じない限り次にn 6 4でセットされるときの同じ値となるようにしている。

以上の動作によってライン上に送出されるデータケットの構成を第13図に示す。

同図に示すように、パケットの先頭にm個のリーディングフラグFが位置し、パケットの終りにj個のトレーリングフラグFが位置している。前述のようにm個のフラグはn 3 2~n 3 5で送出

され、j個のフラグはn 4 8~n 5 1で送出される。このようにパケットの先頭と終りにフラグを連続させることによって、送信端末は終りのフラグ連続送出の時間に受信準備をすることが出来、受信端末は、連続するリーディングフラグを受信する間にモードを正常な受信モードにすることが出来る。

受信端末が正常な受信モードに設定される場合は次のようなときである。たとえば、受信端末が二つ以上の送信端末から同時に受信したとすると、ソースアドレスを受信したときで衝突を検出する。このとき、受信端末はリーディングフラグを既に受信しており、しかも受信モードはリセットされないからデータ待ち状態にある。しかし、衝突を起こした二つの送信端末は送信を打ち切って、次のチャンスを待っている状態にある。そこでどちらかの端末或いは他の端末から新たなデータケットの送信があれば、データ待ち状態にある受信端末は最初リーディングフラグをトレーリングフラグと見なして(リーディングフラグとト

レーリングフラグとはともに「7B」の同一コードにある)、そのリーディングフラグを受けた時点でパケットのフォーマットが間違っていることを検出し(フォーマット長が短い)、エラー処理を行う。したがって、このような場合、もしリーディングフラグが1個であると、エラー処理を行った後の受信データも、リーディングフラグが無いと見なしてエラー処理を行う可能性がある。

これに対して、データパケットにリーディングフラグを適当な数だけ連続させれば、受信端末は最初のリーディングフラグを受信したときに、次以降のフラグ受信時間でエラー処理を行い、正常な受信モードになったときにまだ続けているリーディングフラグを次のパケットのフラグとして処理することが可能になる。

すなわち、m個のリーディングフラグおよび1個のトレーリングフラグを付けることによって、送信端末と受信端末とが常にパケットを正常に受信出来る状態にすることが出来る。

(2) 受信動作

Gに順次転送する。バッファGはチャンネル数だけ設けられていて、受信データはパケットで指定されるチャンネル番号に対応する部分に転送される。この転送は、レジスタEに導かれるデータを1バイトづつ行い、データの区切りを示すフラグ(トレーリングフラグ)を検出した段階で受信を完了したと判断して(n79)、リンクコントローラ7はCPU5に対して受信完了指示を行う(n80)。この指示を受けたCPU5は受信モードを禁止するとともに、送信されてきたデータの種別を判定する。データ情報であるときは、受信時において端末装置がレディ状態にあって受信できるかどうかを受信データ転送制御回路2内のフラグRDYによって判定する(n89)。このフラグRDYは、端末装置によって制御され、端末装置が受信可能な状態にあるときはセットされている。そして受信可能であるなら、続いて指定チャンネル(第9図のCH. No.で指定される)の受信バッファG(メモリ4内)が空き状態にあるかどうかを判定される(n90)。前述のようにこの

第11図(A)~(C)は、データの受信動作を示すフローチャートである。

上記のようにしてライン上に送出されたデータパケットは、端末装置N側のライン制御回路9で受信され(n70)、復調されて(n71)リンクコントローラ7のシフトレジスタEへ導かれる(n72)。リンクコントローラ7は受信したデータの最初の1バイトがフラグかフラグ以外かを判定し、フラグである場合は続いて次にくる1バイトのデータをシフトレジスタEに導く。フラグ以外である場合は、ディスティネーションアドレスDAを読み取ってそのアドレスが自己アドレスかどうかを判定し(n75)、自己アドレスに一致している場合にn76へ進む。n76でシフトレジスタEの受信データを受信バッファFに転送し、DMAC3に対して受信データ有りの指示を行う(n77)。同時にデータをバッファGに転送するチャンネルとしてDRQ1を選択する。受信データ有りの指示を受けたDMAC3は、上記受信バッファFの受信データをメモリ4のバッファ

受信バッファGはチャンネル数用意されていて、各チャンネルが空き状態にあるかどうかは、受信データ転送制御回路2内のフラグRENによって示されるようにしている。すなわち、任意のチャンネルの受信バッファが空いている場合、そのチャンネルに対応するフラグRENはセットされる。反対にバッファフルの状態にある場合、そのチャンネルに対応するフラグRENはリセットされる。n90で指定されたチャンネルの受信バッファが空き状態にあると、データパケットを送信してきた端末にACKパケットを送信する(n91)。第12図には示していないが、このACKパケットの組立はCPU5によって行う。第9図から明らかなように、ACKパケットの組立は極めて簡単であり、ディスティネーションアドレスDAを除く他のデータは固定コードとなる。ディスティネーションアドレス自体も作成する必要が無く、送られてきたデータパケットのソースアドレスSAをそのまま使用すれば良い。ACKパケット送信後、CPU5は受信データ転送制御回路2内のデータ有

リフラグREN(指定チャネルの)をセットし(n92)、再受信モードにセットされる。

n89において、端末装置Nが受信不可である場合は、n93でNRDYパケットを送信して再受信モードに戻る。また、n90で受信バッファフルである場合、すなわち指定チャネルに対応するフラグRENがセットされている場合は、n94でバッファフル(NRDY)パケットを送信して再受信モードに戻る。

一方、端末装置Aでは、端末装置Nで上記のn91において送信されたACKパケットが受信されるため、n82→n88→n95へと進む。通常の場合データパケット送信後はACKパケット待ち状態に遷移するため、n95→n96と進み、ACKパケット送信済みつまり端末装置Nに対してRACKパケットを送信し(n96)、送受信制御部を受信モードに設定する(n97)。

なお、n91でのACKパケット送信、およびn96でのRACKパケット送信は、いずれも送信タイマーT1によって時間管理され、ACKパ

ケット送信が所定の回数失敗したとき、およびACKパケットを所定回数送信してもRACKパケットを送信出来ないとき、エラー処理がなされるようにしている。

上記のようにして端末装置AでRACKパケットが送信されると、端末装置Nではn82→n83→n84→n98と進む。通常の状態遷移となる場合はRACKパケットの受信時にはすでにACKパケットの送信を終了しているから、n98→n97へと進んで受信モードの設定をする。もし、ACKパケットを送信していない状態でRACKパケットを受信したときには、ACKパケットの再送を行って(n99)受信モードの設定をする(n97)。また、n85で受信パケットがNRDYパケットである場合、n85→n100へと進む。通常NRDYパケットを受信する場合は、データパケット送信後であるから、n100→n101へと進んで、端末装置に相手側がNRDY状態(データの受付が出来ない状態)にあることを知らせて、受信モードを設定する(n97

)。

応答パケットの送信は、以上のようにn82以下において行われるが、データパケットを正常に受信してACKパケットを送信したときには、送受信データ転送制御回路を介して、端末装置側との間で受信データの転送処理が行われる。この手順をn110以下に示す。

n110において、端末装置Nは、図示しないメインCPUが指定するチャネルに対応したフラグRENのセット有無をチェックする。そのチャネルに対応するフラグRENがセットされていれば、受信データリードコマンドが受信データ制御回路2に与えられる(n111)。そして上記フラグRENをリセットするとともに(n112)、CPU5はメモリ5のバッファG(指定チャネル番号の)の先頭アドレスおよび受信データ長(バイト数)をDMAC3にセットしてDMA転送の準備を行う(n113)。さらにCPU5は、データ転送のために使用するチャネル(上記指定チャネルとは異なりインターフェイス内のデータ

転送チャネルを指す)をDRQ2に設定し(n114)、DMA転送を指示する(n115)。するとバッファGからレジスタbに対して1バイト分のデータが転送され(n116)、端末装置Nに対してインターラプト信号が出力される(n117)。端末装置Nは、このインターラプト信号を受けると、n130→n131へと進んでレジスタbに転送されたデータの取込みを行う。一方、データ有りフラグRENがn112でリセットされているため、n78でバッファFから新たな1バイト分のデータがバッファGに転送されてくる。そして同時にn77でフラグRENを再セットする。したがって、n110以下が再び実行され、n116で次の1バイトのデータがレジスタbにセットされ、端末装置Nがそのデータをn131で取り込む。この動作を繰り返して、バッファGのデータがレジスタbを介して総て取り込まれたときにDMA転送が完了して、n119→n120へと進んでDMAC3は、動作を停止する。

端末装置N側は、受信データのバイト数と実際

に取り込んだデータのバイト数が一致するかどうかをチェックし、一致すれば取り込んだデータを所望のフォーマットに加工し (n 1 3 3)、その加工処理が完了すれば (n 1 3 4)、受信データ転送制御回路 2 のフラグ R E D をセットして (n 1 3 5) 取込み完了をインターフェイス側に知らせる。インターフェイス側の C P U 5 は、このフラグ R E D のセットを検出すると (n 1 2 1)、そのフラグ R E D をリセットして (n 1 2 2) 次期データの送受信に備える。

以上のようにして、端末装置 A から端末装置 N に対して特定のデータの送信が行われる。

4. 図面の簡単な説明

第 1 図はこの発明を実施するローカルネットワークシステムのブロック構成図である。

第 2 図は伝送インターフェイス I / F のブロック構成図、第 3 図はさらにその詳細なブロック構

成図である。

第 4 図はライン制御回路 8 に設けられる衝突検出回路の回路図である。

第 5 図はライン制御回路 9 に設けられるキャリア検出回路 (衝突防止回路) の回路図である。また第 6 図は同キャリア検出回路のタイミングチャートである。

第 7 図はライン上の信号と信号 C D 1、C D 2 との関係を示している。

第 8 図はこのローカルネットワークでの基本的な伝送手順を示す。

第 9 図はパケットフォーマットを示す図である。

第 10 図 (A) ~ (C) はデータの送信動作を示すフローチャートである。

第 11 図 (A) ~ (C) はデータの受信動作を示すフローチャートである。

第 12 図は A、B、C 端末がほぼ同時にアクセスしようとして衝突が生じたときの動作を示す。

第 13 図はライン上に送出されるデータパケットの構成を示している。

(第 2 図)

10—送信制御回路、11—受信制御回路、

12—送受信データ転送制御回路、

(第 3 図)

1—送信データ転送制御回路、2—受信データ

転送制御回路、3—D M A C (ダイレクト・メモリアクセス・コントローラ)、4—メモリ

5—サブ C P U、6—制御回路、7—リンク

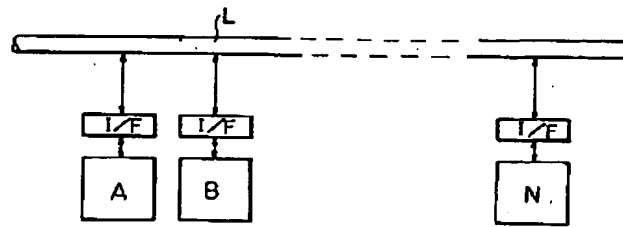
コントローラ、8—ライン制御回路 (送信)、

9—ライン制御回路 (受信)。

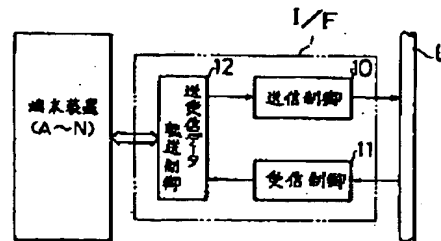
出願人 シャープ株式会社

代理人 弁理士 小森久夫

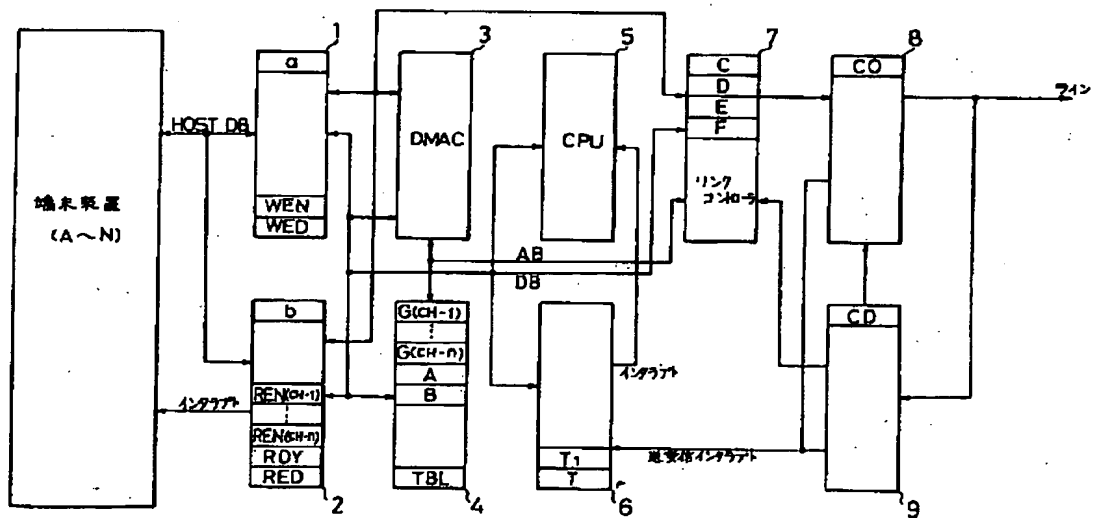
第 1 図



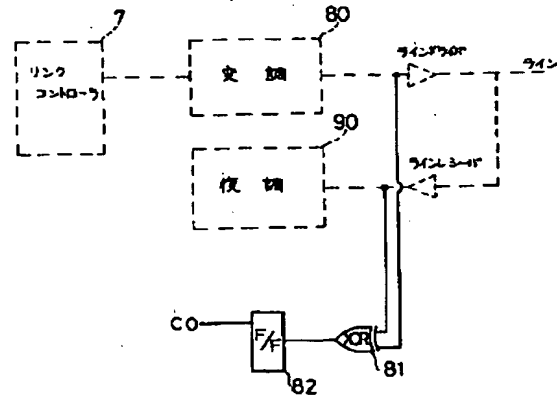
第 2 図



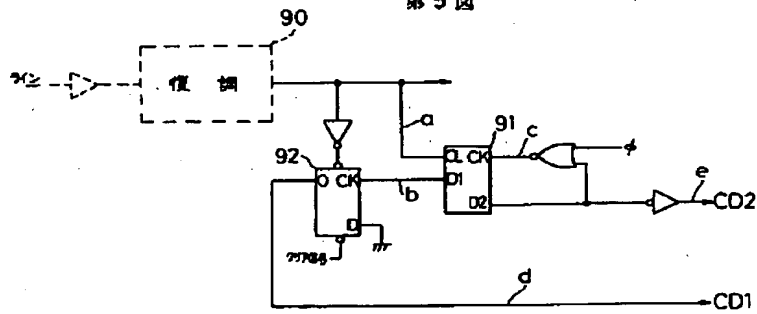
第 3 図



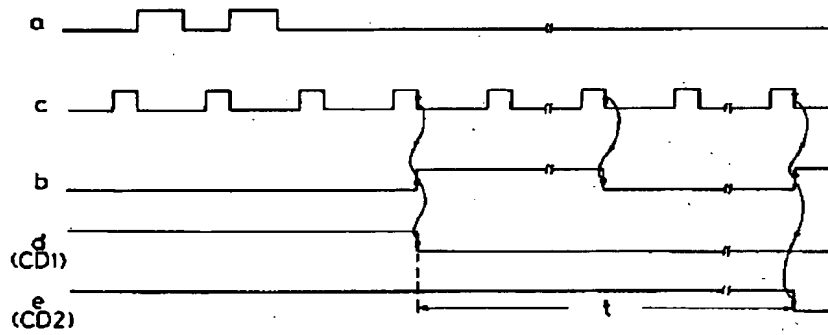
第4図



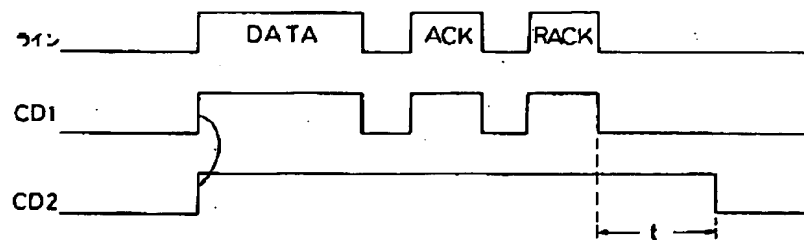
第5図



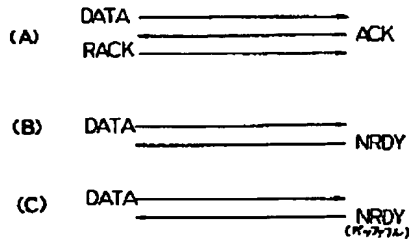
第6図



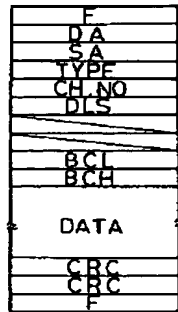
第7図



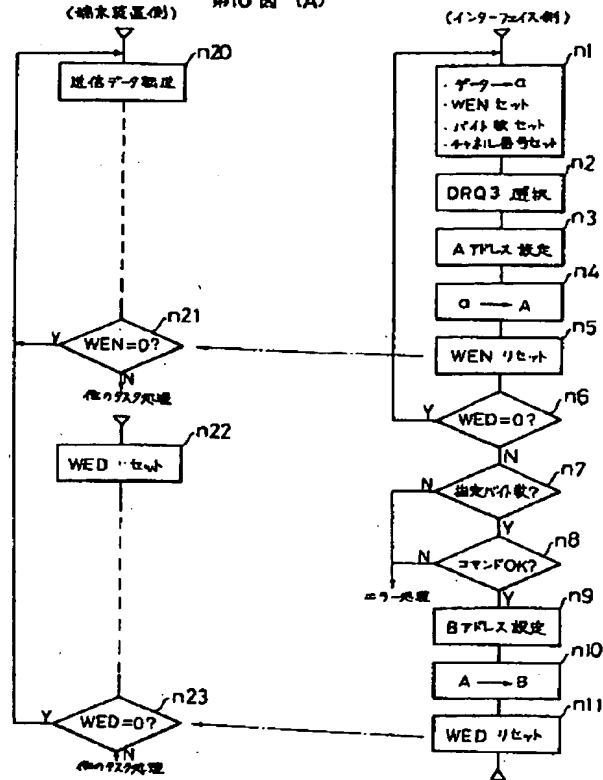
第8図



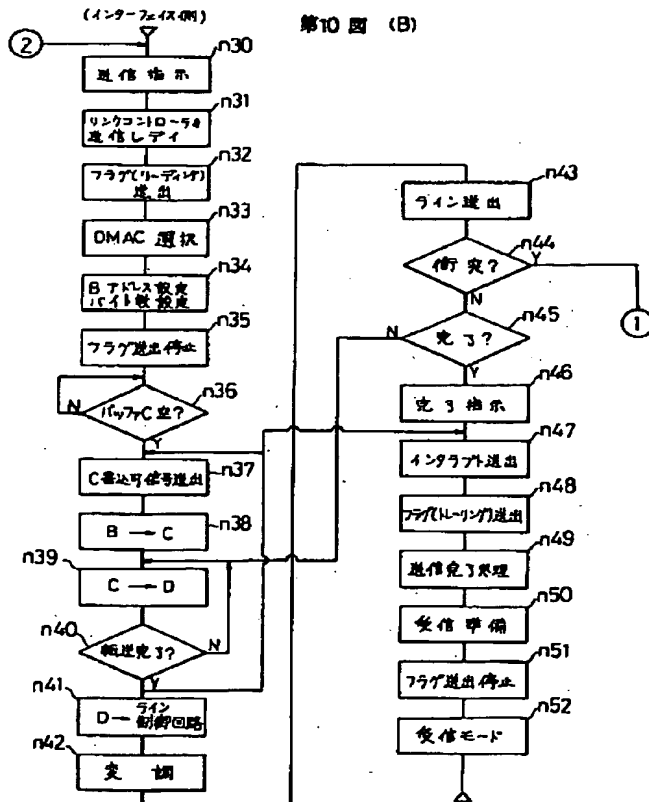
第9図



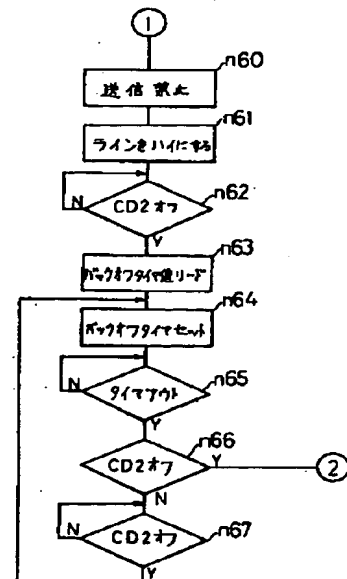
第10図 (A)



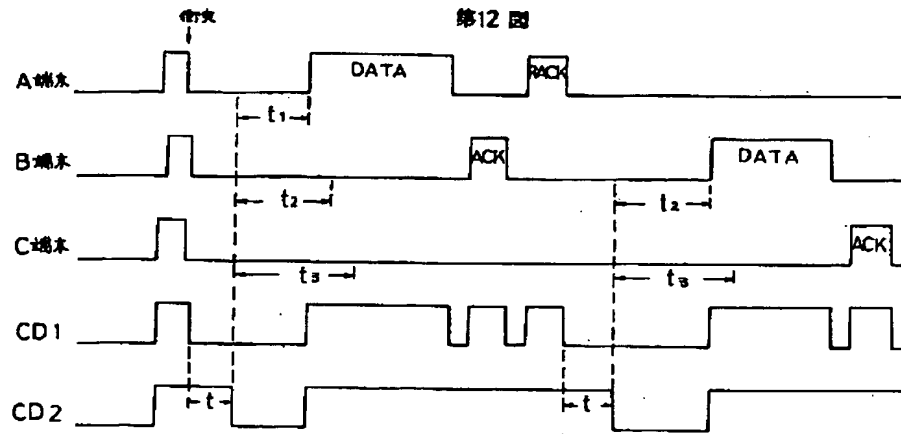
第10図 (B)



第10図 (C)



第12 回



第13 圖

